

A3200 VME module
16 ch Individual Gate QDC
User's Manual

Rev. 1.00

NIKIGLASS

変更履歴

Rev 0.1 Nov 18, 2009

Rev.0.2 Dec 14,2009

- ・ 作成
- ・ 6.VME インターフェースの実装図を変更
- ・ 10.3 CLLDR の 12bits を 11bits へ誤記訂正
- ・ セマフォレジスタ LBSEMR, ACSEMR の削除により下記項目を変更
 - 9. Register Map から LBSEMR と ACSEMR を削除
 - 10.15 LBWPR の内容を変更
 - 10.16 LBRPR の内容を変更
 - 10.17 LBEFR の内容を変更
 - 10.18 LBFFR の内容を変更
 - 10.22 ACR の内容を変更
 - 10.24 LBSEMR を削除
 - 10.25 ACSEMR を削除

Rev.1.0 Apr 12,2010

- ・ 全体に渡り誤記訂正
- ・ 全体に渡り、AD 変換を 500ns から 400ns に変更
- ・ 1.概要にスループットに関する内容を追記
- ・ 2.ブロック図に追記、および誤記訂正
- ・ 9.1 Register Address Map: Offset Address を一部訂正
- ・ 9.1 Register Address Map: LBRPR,LBEFR,LBFFR の Access を Read/Write から Read only へ訂正
関連する 10.16 LBRPR, 10.17 LBEFR, 10.18 LBFFR の R/W も R に訂正
- ・ 9.2 CDR: CRTR,CLTR の Access を Read/Write から Read only へ訂正
関連する 10.4 CRTR, 10.5 CLTR の R/W も R に訂正
- ・ 10.14 MCSTCRM を MCSTCR に訂正
- ・ 10.17 LBEFR の説明に追記
- ・ 10.18 LBFFR の説明に追記
- ・ 10.20 ECPVR の説明文にある GATED LIST を削除
- ・ 10.23 MCSR の bit0: COM の初期値を 1 から 0 へ訂正
- ・ 11 仕様の POWER に消費電流を記入
- ・ 11 仕様に Gate 遅延時間を追加
- ・ 11 仕様にスループットの項目を追加
- ・ 11 仕様のファースト・クリア処理時間を 750ns から 400ns へ訂正
- ・ 12 使用上の注意を新規追加

目次

1. 概要!	1
2. ブロック図!	2
3. 動作モード!	3
3.1 PHA	3
3.2 LIST!	3
3.3 FREE RUN LIST	4
3.4 TRIGGERED LIST	5
4. フロントパネル!	6
5. ATICbus(Acquire & Time Information Control bus)	7
6. VME インターフェース!	8
6.1 ベースアドレス!	8
6.2 AM(Address Modifier) Code	9
6.3 MCST(Multicast) Addressing	9
6.4 VME Interrupt	11
7. Memory	12
8. List Data Buffer	13
8.1 FREE RUN LIST	13
8.2 TRIGGERED LIST	13
8.3 リストデータバッファのデータリード!	14
9. Register Map	15
9.1 Register Address Map	15
9.2 CDR(Channel Dependence Registers) Address Map	16
10. 各レジスタの詳細!	17
10.1 CCR(Channel Control Register)	17
10.2 CZLR(Channel Zero Level Register)	17
10.3 CLLDR(Channel Lower Level discriminator Register)	18
10.4 CRTR(Channel Real Time Register)	18
10.5 CLTR(Channel Live Time Register)	18
10.6 CCGR(Channel Conversion Gain Register)	19
10.7 CPMR(Channel Preset Mode Register)	19
10.8 CPVR(Channel Preset Value Register)	20
10.9 SPROICR(Start of Preset ROI Channel Register)	20
10.10 NPROICR(Number of Preset ROI Channel Register)	20
10.11 IRQVR(IRQ Vector Register)	21
10.12 IRQCR(IRQ Control Register)	21
10.13 MCSTAR(Multicast Address Register)	22
10.14 MCSTCRM(Multicast Control Register)	22
10.15 LBWPR(List Buffer Write Pointer Register)	23
10.16 LBRPR(List Buffer Read Pointer Register)	23

10.17 LBEFR(List Buffer Empty Flag Register)	24
10.18 LBFFR(List Buffer Full Flag Register)	24
10.19 AMR(Acquire Mode Register)	25
10.20 ECPVR(Event Count Preset Value Register)	26
10.21 LDSPVR(List Data Size Preset Value Register)	26
10.22 ACR(Acquire Control Register)	27
10.23 MCSR(Module Control Status Register)	28
10.24 FPGAVR(FPGA Version Register)	30
10.25 LCPUVR(Local CPU Version Register)	30
10.26 MIR(Module Identification Register)	30
11. 仕様	31
12. 使用上の注意	33
12.1 装着前に VME クレートの確認を!	33
12.2 リストデータの書き込み順について!!	33

1. 概要

A3200 は 16ch 入力の QDC および PHA メモリ & タイムスタンプ付 LIST 機能を搭載した 6U サイズの 1 幅 VME モジュールです。

各 Ch に設けられた Gated QAC (Charge to Amplitude Converter) 回路により、0~-2.5V までの負極性アナログ・パルス信号が各 Ch 専用のゲート入力信号の期間内に有していた電荷量を電圧に変換し、そのレベルを保持します。各 Ch の QAC 出力は各 Ch のゲート信号がオフになった順にマルチプレクサにより選択され、その後の ADC で 13bit のデジタルデータへ変換されます。ADC は微分直線性を改善するためにスライディングスケールを採用しています。

各 Ch 個別に有するそのほかの機能として、フルスケールの±5%を 12 ビット分解能で設定可能なゼロレベル調整、ゼロからフルスケールの 12.5%範囲を 1LSB ステップで設定できる LLD 調整があります。

16ch マルチプレクサの切替え、AD 変換、メモリサイクルの 3 段階をパイプライン処理することで動作モードに関係なく最高 2.5MCPS の高スループットを達成しました。これは 16ch 入力の場合 1ch 当たり平均 156kCPS の計数率に相当します。単一 ch のみの入力の場合はパイプライン処理の効果は発揮できず、すべての工程がシリーズ処理されますが、その場合でも最高 1MCPS までの入力を受け入れ可能です。

A3200 が提供する動作モードとしては PHA モードと LIST モードがあり、それぞれ単独にまたは同時に実行する事が可能です。PHA モードでは Ch ごとに用意された 8kch×32bit のデータメモリ上に入力信号のゲート期間内の電荷量 VS.発生頻度のヒストグラムを展開します。

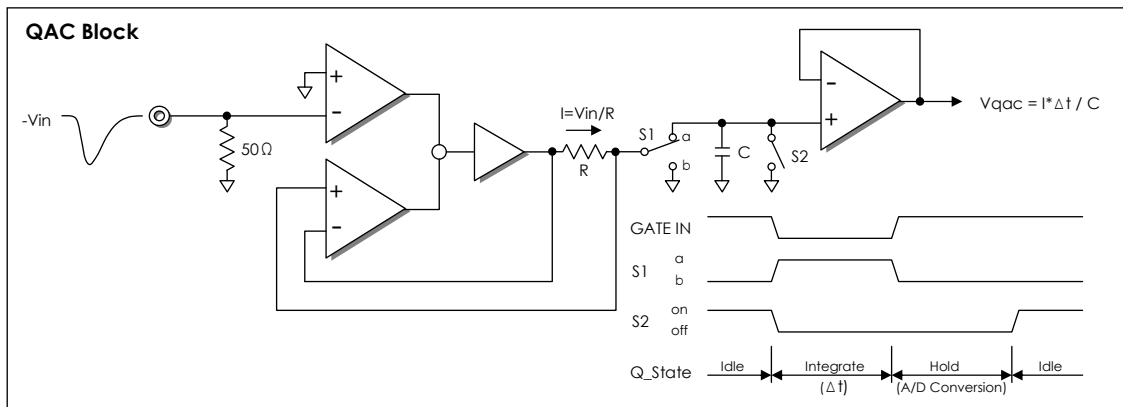
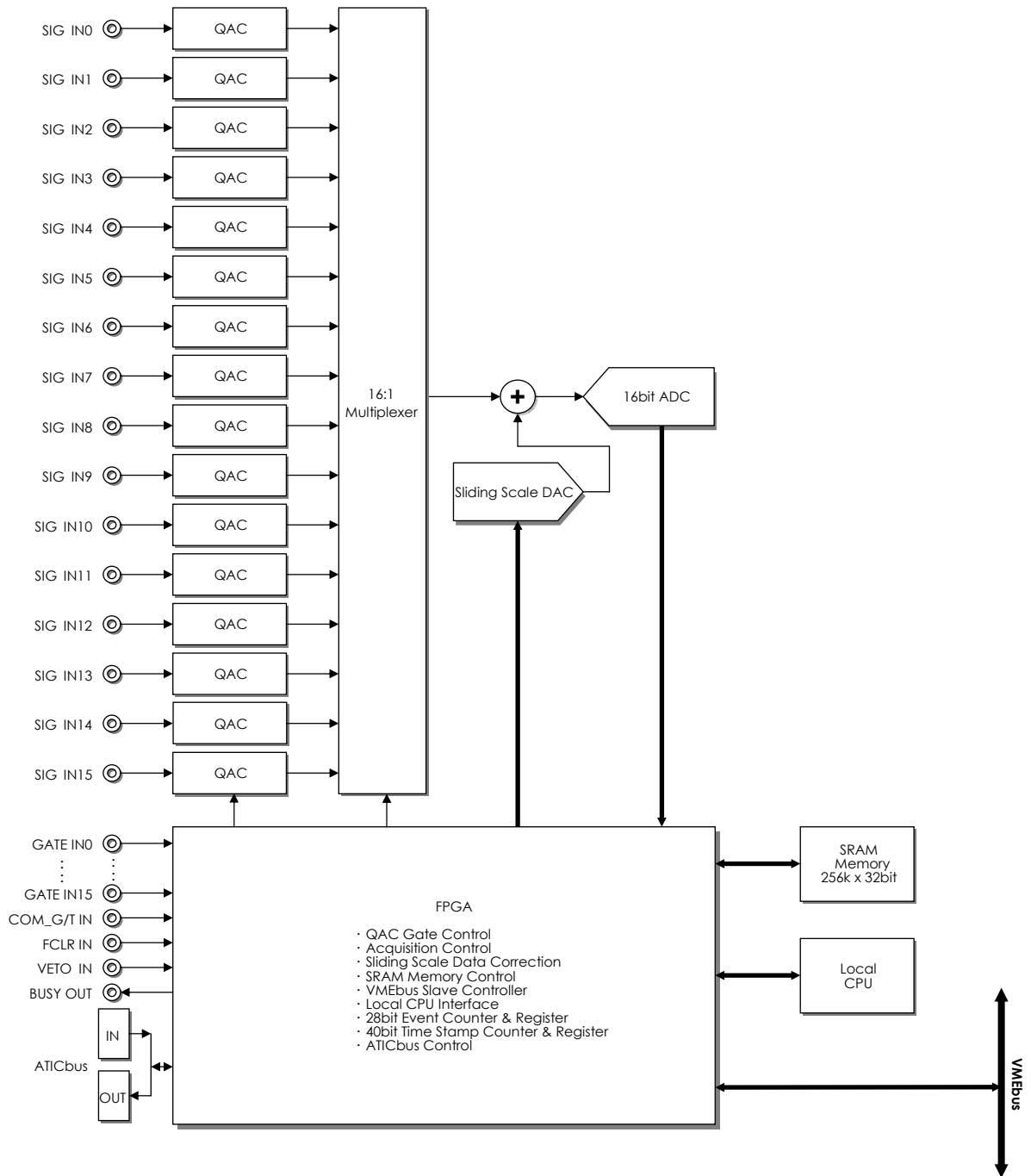
リストモードでは電荷量に相当する ADC データとタイムスタンプを一組の情報として時系列順にリストデータバッファに保存します。Free Run List、Triggered List の 2 つの動作モードがあり、Free Run List モードでは測定開始からの経過時間をタイムスタンプとして記録します。Triggered List の場合はタイムスタンプが全 Ch 共通のトリガ入力信号で初期化される点と、保存されるデータには ADC、タイムスタンプに加えてイベントカウントデータも含まれる点が異なります。

メモリは 256k×32bits の容量を持ち、そのうち 8k×32bits×16ch=128k×32bits を PHA メモリ、127k×32bits を LIST バッファメモリ、1k×32bits を動作モードやパラメータ設定用のレジスタ領域として使用します。A3200 は VMEbus の A24/A32 アドレス指定モードに対応し、D16、D32、BLT のデータ転送機能および A32 の MCST (Multicast Command) をサポートします。

【特徴】

- ❖ 16Ch 入力、6U 1 幅 VME モジュール
- ❖ ゲート幅 20ns~1 μs の外部入力個別ゲート制御による QAC
- ❖ 分解能 250fC、-2000pC ダイナミックレンジを 13Bit デジタルデータに変換
- ❖ 単一チャンネル入力時は 1MCPS、全体では 2.5MCPS/16ch のスループット
- ❖ 入力チャンネルあたり 400nS の高速 AD 変換
- ❖ 入力チャンネルあたり最大 8k x 32bit の PHA メモリ搭載
- ❖ 2 モード (Free Run List, Triggered List) のリスト機能
- ❖ 時間分解能 5ns、40bit タイムスタンプ
- ❖ 28bit イベントカウントデータ
- ❖ 複数モジュールの同期計測に対応

2. ブロック図



3. 動作モード

A3200 はゲート入力信号パルス幅期間内における入力信号パルスの積分電荷量を A/D 変換します。動作モードは AD 変換データの処理内容により PHA と LIST モードに分類され、LIST はさらに Free Run、Triggered List モードの 2 つが存在します。PHA と LIST モードのいずれかは単独で、もしくは同時に計測することが可能です。

3.1 PHA

入力チャンネルごとに独立した 8kch×32bit の PHA データメモリに AD 変換データ、すなわちゲート期間内の積分電荷量を横軸に、その発生頻度を縦軸とする 2 次元ヒストグラムを作成します。プリセットとしては Real Time/Live Time/Peak Counts/Integral Counts の 4 つのモードが用意されています。LIST モードをオフまたは Free Run List に設定して PHA 測定する場合は、COM_G/T 入力信号は全 Ch 共通のゲート信号として働き、最終の電荷積分を行う際の時間幅は各 Ch 個別のゲート入力信号との論理和として機能します。

3.2 LIST

LIST モードでは AD 変換データに 40bit のタイムスタンプを、Triggered List ではさらに 28bit のイベントカウントデータを付加して、ゲート入力信号が入ってきた時系列順にリストデータバッファに記録します。

- ・ Free Run List ADC データ + タイムスタンプ
- ・ Triggered List ADC データ + タイムスタンプ + イベントカウントデータ

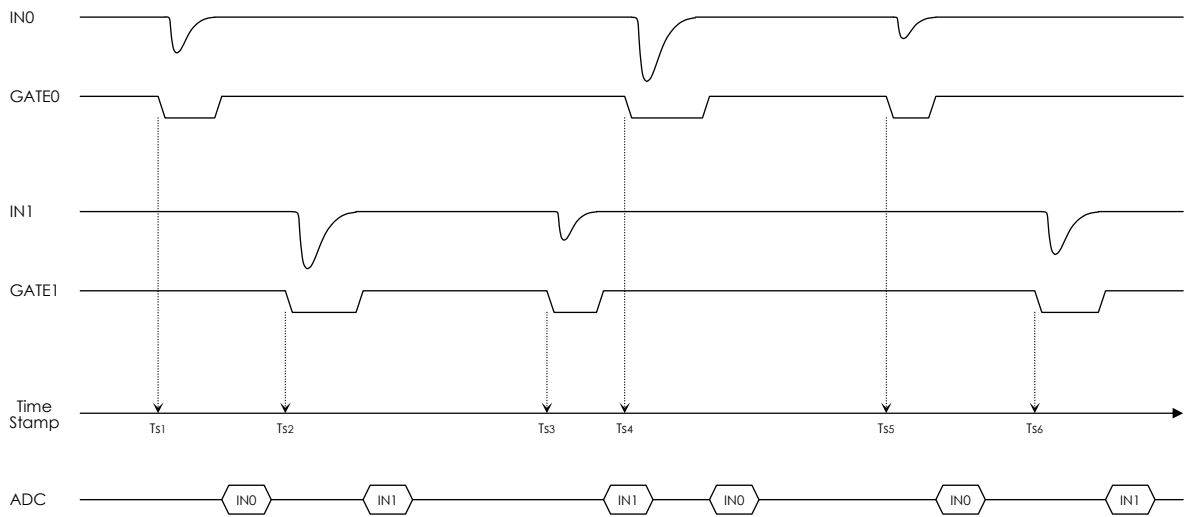
タイムスタンプはゲート入力信号の前縁エッジにおける時間情報を取得します。時間計測の基準となる周波数は 5ns/10ns/20ns/50ns/100ns/200ns/500ns/1 μs の中から任意に選択可能です。40bits のビット幅を持っているので最大計測時間は選択した基準クロックにより以下のようになります。オーバーフローすると再度ゼロからカウントアップします。

基準クロック	最大計測時間
5ns	1.52hrs
10ns	3.05hrs
20ns	6.10hrs
50ns	15.2hrs
100ns	30.5hrs
200ns	2.5day
500ns	6.3day
1 μs	12.7day

16ch 以上のシステム構成でリスト測定する場合は、複数モジュール間での基準クロックや測定制御の同期を確保するために、付属品の IC(Interconnect Card)をフロントパネル上の ATICbus(Acquire & Time Information Control bus) に取り付けて隣同士のモジュール間を接続する必要があります。

3.2.1 FREE RUN LIST

この動作モードでは、各 Ch のゲート信号パルスを入力順に ADC データをリストデータバッファに記録していきます。その際に単に ADC データだけでなく、各 Ch に入ってくる信号の時間相関を得る目的でタイムスタンプの時間情報を一緒に記録します。タイムスタンプは測定開始時点からゲート信号の前縁エッジタイミングまでの経過時間を表します。



上記例では、次のようなデータがリストデータバッファに書き込まれます。なお、書き込みデータのより詳細な内容については「8.1 Free Run List」を参照してください。

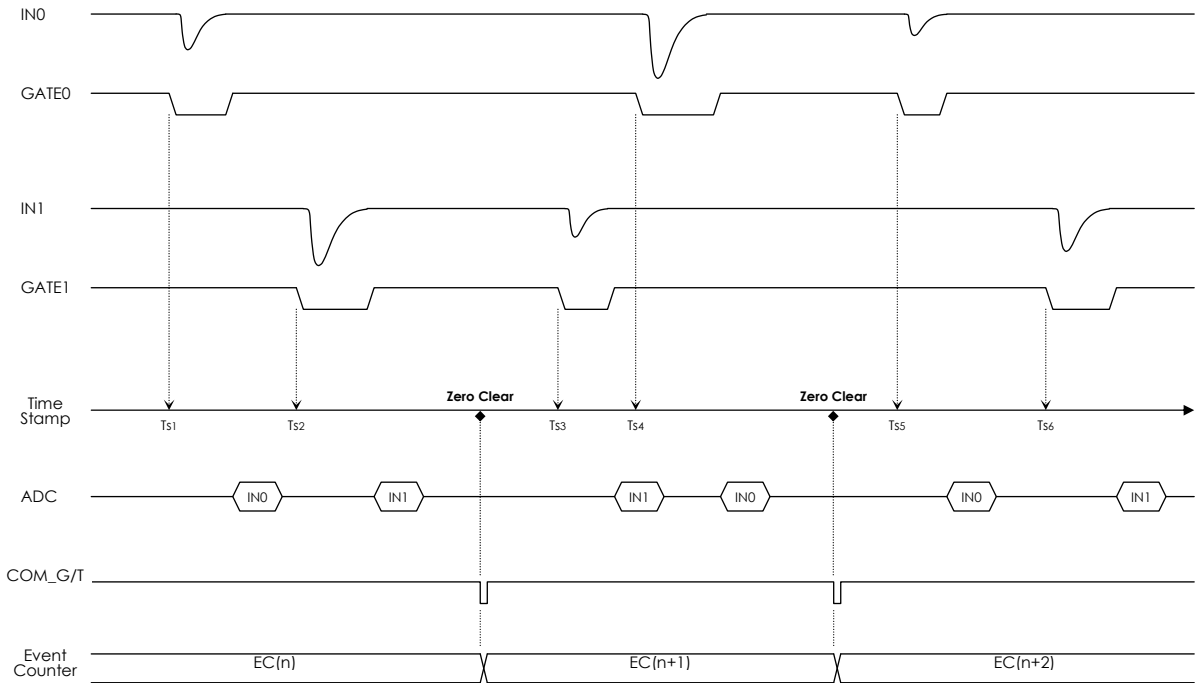
```

ADC(IN0)
  †s1
ADC(IN1)
  †s2
ADC(IN1)
  †s3
ADC(IN0)
  †s4
ADC(IN0)
  †s5
ADC(IN1)
  †s6
    
```

Free Run List の場合 COM_G/T 入力信号は全 Ch 共通のゲート信号として働き、電荷積分を行う時間幅は各 Ch 個別のゲート入力信号との論理和となります。

3.2.2 TRIGGERED LIST

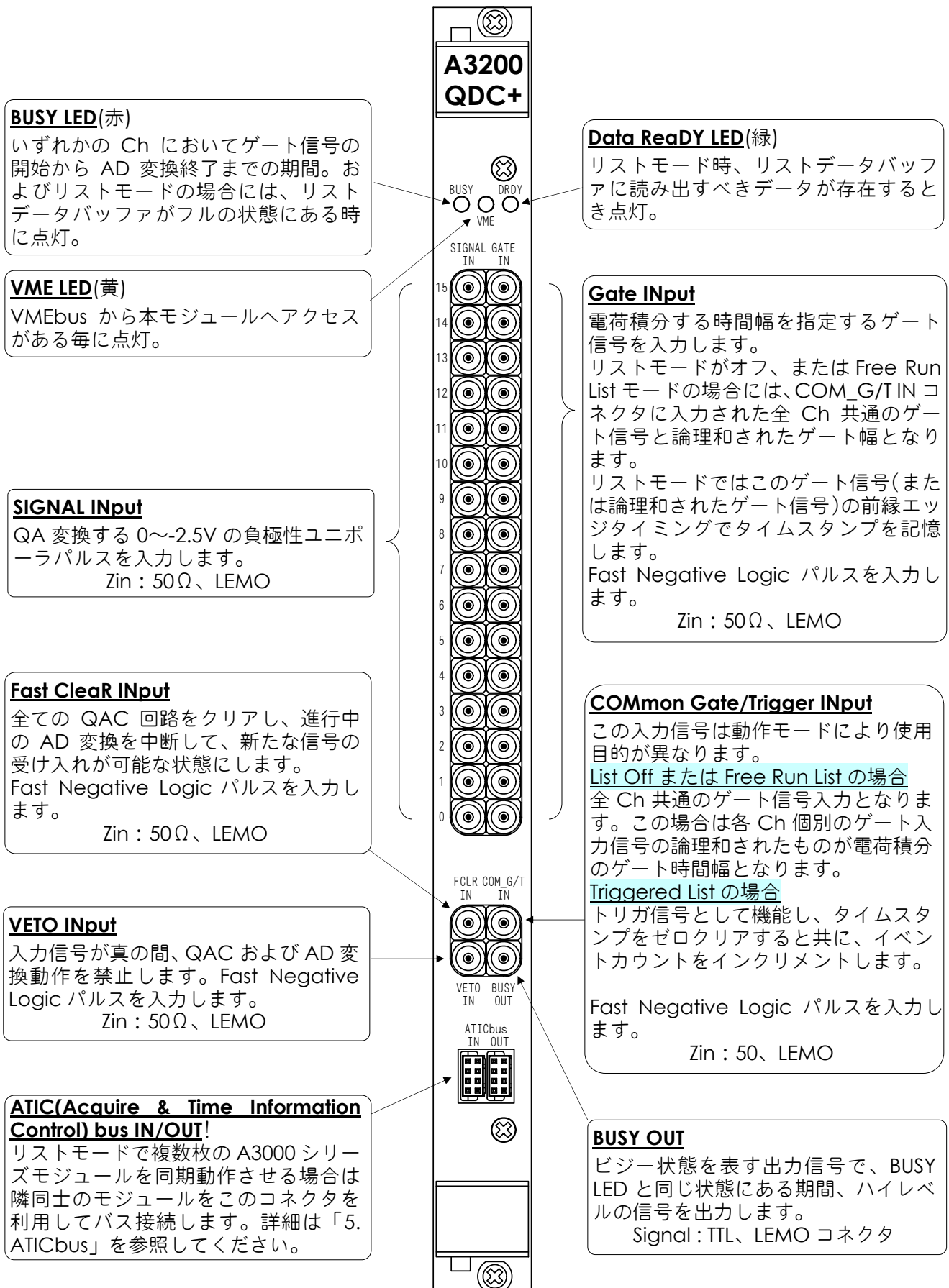
Triggered List の場合の COM_G/T 入力は全 Ch 共通のトリガ信号として機能します。基本的な動作は Free Run List と同じです。異なるのはタイムスタンプの時間が COM_G/T IN 信号の入力ごとに初期化される点です。従って各 Ch の ADC データに付随するタイムスタンプは共通トリガ信号発生からの経過時間を表す事になります。もう一つの相違点はリストデータに ADC、タイムスタンプに加えてイベントカウンタデータが追加されることです。イベントカウンタは共通トリガ信号 COM_G/T 信号によりインクリメントされ、共通トリガ信号と ADC データとの対応を明確にします。



上記例では、次のようなデータがリストデータバッファに書き込まれます。なお、書き込みデータの詳細な内容については「8.2 Triggered List」を参照してください。

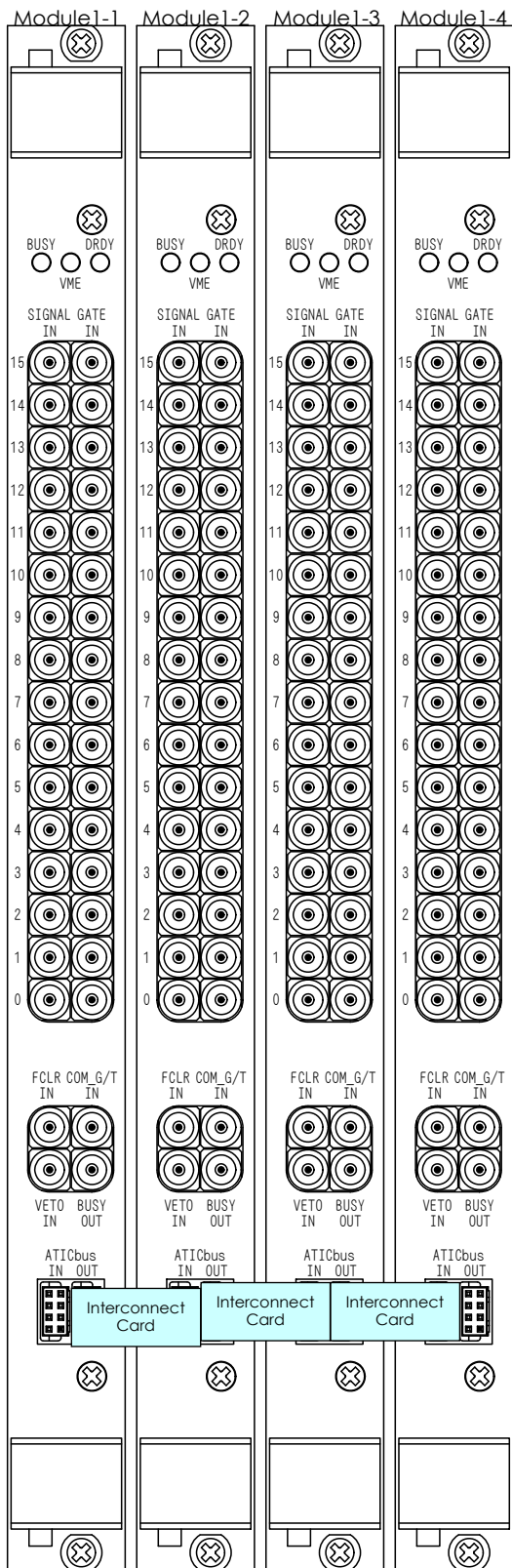
- ADC(IN0)
- t_{s1}
- EC(n)
- ADC(IN1)
- t_{s2}
- EC(n)
- ADC(IN1)
- t_{s3}
- EC(n+1)
- ADC(IN0)
- t_{s4}
- EC(n+1)
- ADC(IN0)
- t_{s5}
- EC(n+2)
- ADC(IN1)
- t_{s6}
- EC(n+2)

4. フロントパネル



5. ATICbus(Acquire & Time Information Control bus)

入力数が 16ch 以上のシステムにおいてリスト測定を行う場合は、複数のモジュール間でのクロック、タイムスタンプ・カウンタのクリア、測定開始の同期を取る必要が生じます。ATICbusはこの目的を達成するために用意されており、付属の IC(Interconnect Card)を用いて隣り合うモジュールの OUT-IN 間を接続してバスを構成します。IC は左隣の ATICbus-OUT コネクタと右隣の IN コネクタを接続するように装着します。



ATICbusにはLVDS(Low Voltage Differential Voltage)レベルの時間情報を計数するカウンタクロック TIC_CLK+/-とクリア TIC_CLR+/-、およびLVCMOSレベルの測定制御信号 COM_START*が含まれます。

例えば左図のように Module-1~4 までの 4 枚を IC でバス接続すると、Module-1 がマスタ、Module-2 と 3 は中間に位置するスレーブ、Module-4 は最後のスレーブボードとなるように自動的に構成されます(この情報は MCSR レジスタの M/S0、M/S1 ビットにより知る事が出来ます)。

TIC_CLK+/-と TIC_CLR+/-信号はマスタである Module-1 がドライブし、全てのスレーブはレシーバとなり、全モジュールが共通のクロックおよびクリア信号を使用します。COM_START*信号はオープンドレインによる Wired-Or の接続形態をとり、マスタがこの信号をドライブします。従って全てのスレーブモジュールはマスタモジュールに同期して測定の開始/終了、タイムスタンプ・カウンタの計数開始がコントロールされる事になります。

LVDS 信号の終端抵抗は最終スレーブモジュールのみが有効となり、それ以外のモジュールの終端抵抗は無効となるように自動的に構成されます。

PHA のみでの測定や同期動作を要求しないリスト測定の場合は ATICbus を接続する必要はありません。

PHA のみでの測定や同期動作を要求しないリスト測定の場合は ATICbus を接続する必要はありません。

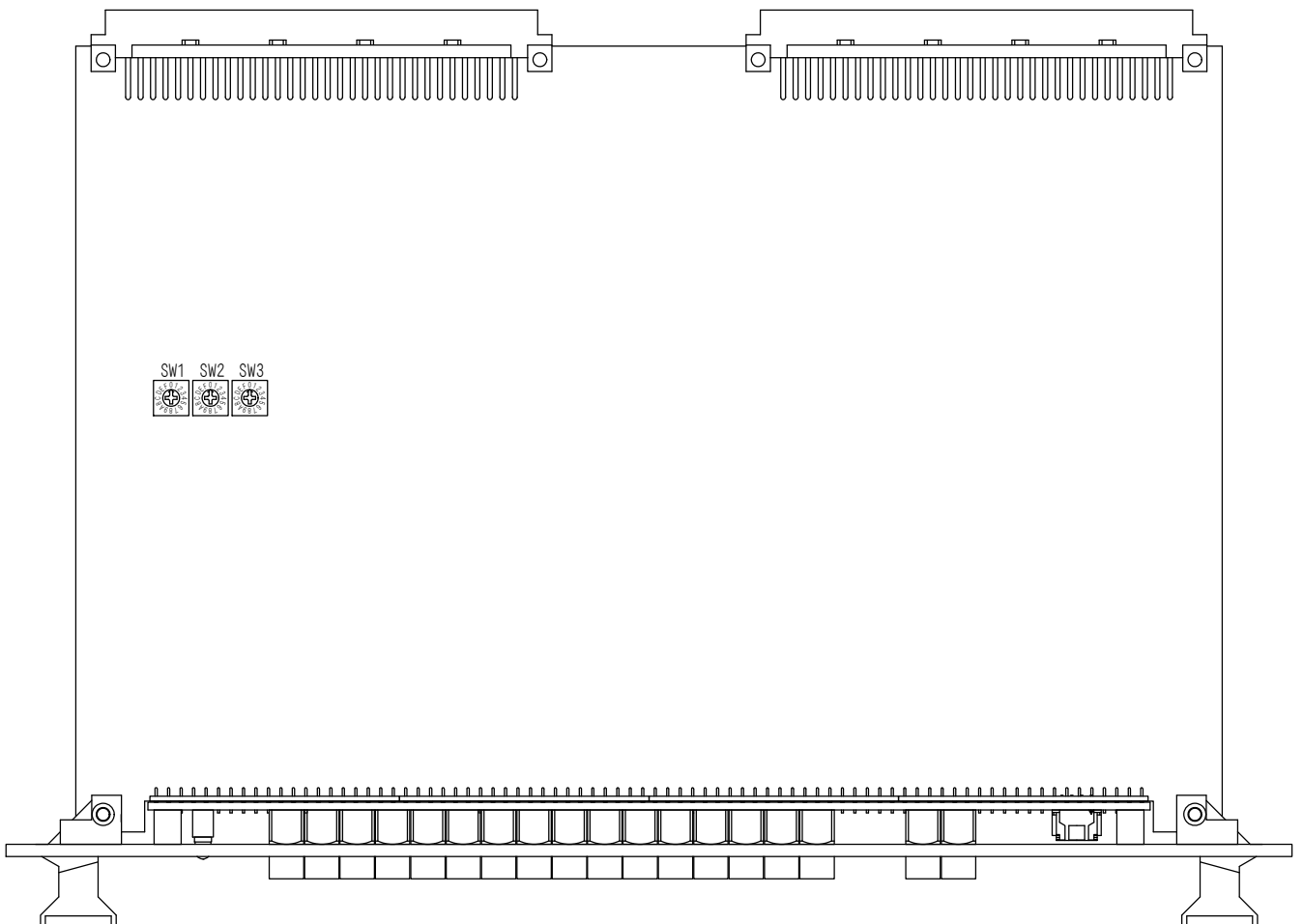
PHA のみでの測定や同期動作を要求しないリスト測定の場合は ATICbus を接続する必要はありません。

6. VME インターフェース

6.1 ベースアドレス

A3200 は 1Mbyte(256 k × 32bits)のメモリを搭載しており、VMEbus に対して 0x00000~0xFFFFF のアドレス領域を占有しますが、これを VMEbus 全アドレス空間の何処に割り当てるのかを決めるのがベースアドレスの設定です。ベースアドレスの設定は下図の SW1~SW3 のスイッチで行います。

SW1~SW3 は下図の様にそれぞれ VMEbus アドレスの A32-28、A27-24、A23-20 に対応しており、A32 アドレス指定モードでは全てのスイッチ、A24 アドレス指定モードでは SW3 の設定のみが有効となります。



6.2 AM(Address Modifier) code

ベースアドレスを介して A3200 にアクセスする場合にサポートされている AM コードは以下の通りです。

AM code	Description
0x3F	A24 supervisory block transfer(BLT)
0x3D	A24 supervisory data access
0x3B	A24 non privileged block transfer(BLT)
0x39	A24 non privileged data access
0x0F	A32 supervisory block transfer(BLT)
0x0D	A32 supervisory data access
0x0B	A32 non privileged block transfer(BLT)
0x09	A32 non privileged data access

6.3 MCST(Multicast) Addressing

複数枚の A3200 モジュールの同一のレジスタに、同じ内容のデータを書き込む場合、通常なら VME マスタ・モジュールは枚数分だけのアクセスを繰り返す必要がありますが、この MCST アドレッシングを利用すると 1 回のアクセスを実行するだけで全てのモジュールへの書き込みが同時に完了するというメリットがあります。但し、モジュールが MCST アドレッシングに正常に応答するためには以下の条件を満たしていなければなりません。

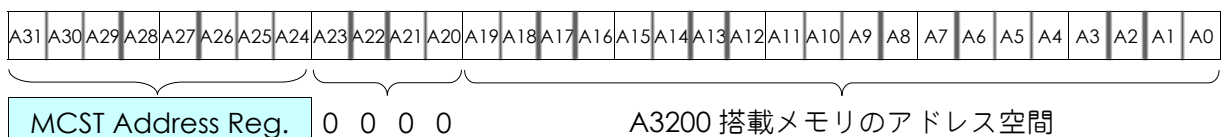
- (1) アクセス可能な AM コードは次の 2 通り。
 0x0D(A32 supervisory data access)
 0x09(A32 non privileged data access)
- (2) 書き込みサイクルのみ。
- (3) MCST アドレッシングに正常に回答するようにレジスタが正しく設定されているモジュールのみ。

(1)と(2)は VME マスタ・モジュールのプログラミングだけで解決できる条件ですが、(3)は A3200 のレジスタ設定について正しく理解し、設定する必要があります。

MCST アドレッシングに関係のあるレジスタは MCST Address Reg.と MCST Control Reg.の 2 つで、それぞれ次のように設定します。

■MCST ベースアドレスを設定する。

「6.1 ベースアドレス」で定義したアドレス空間に行く通常のアクセスと、MCST によるアクセスのアドレス空間を分けるために、MCST アドレッシング用のベースアドレスを MCST Address Reg.に設定します。VME アドレスの A31-A24 が MCST Address Reg.に設定した 8bits の値に等しく、さらに A23-A20 までの 4bits がすべてゼロである場合のアドレス空間が MCST アドレッシングの可能な領域となります。MCST アドレッシングに回答させたいモジュールには全て同じ値を MCST Address Reg.に設定します。



■モジュールのチェーン（つながり）を設定する。

MCST のアクセスサイクルは全てのモジュールに対して一斉に同時に実行されるわけではありません。VMEbus の IACKIN/IACKOUT デイジー・チェーンを使用して、アクセスすることの出来る権利を表すトークンをモジュールから次のモジュールへと渡し、トークンを得たモジュールだけが書き込みサイクルを実行します。ICAKIN/ICAKOUT のデイジー・チェーンを使用しますからトークンは VMEbus バックプレーンのスロット番号の小さなスロットに装着されたモジュールから大きなスロット番号のモジュールへとパスされていくこととなりますが、単にスロットにモジュールが装着されているだけではトークンは正しくパスされていきません。MCST アクセスに対して応答するモジュールのチェーンを MCST Control Reg. に正しく設定しておく必要があります。MCST Control Reg. には 2 つのビットが次のように定義されています。

F bit	L bit	status	MCST チェーン内でのモジュールの位置
0	0	inactive	最初または最後以外のモジュール
0	1	active	最後のモジュール
1	0	active	最初のモジュール
1	1	active	最初と最後に挟まれた中間に位置するモジュール

最初のモジュールとは、MCST アクセスに応答させたいモジュールの繋がりの中で最も小さなスロット番号に装着されているモジュールのことです。最後のモジュールは逆に MCST アクセスに応答させたいモジュールの繋がりの中で最も大きなスロット番号に装着されているモジュールのことです。中間に位置するモジュールに F、L bit 共に 0 を設定した場合は inactive なモジュールとして判断されるため書き込みを実行しませんが、トークンは次のモジュールへ正常にパスします。

MCST アドレッシングは VMEbus マスタ・モジュールの MCST アドレス空間への書き込みサイクル開始で始まり、まずは F,L bit=1,0 の最初のモジュールが書き込みを行います。書き込みが完了するとトークンを IACKOUT に出力し、次のモジュールへアクセス権を渡します。次のモジュールはそのトークンが IACKIN に入ってきた事を知ると書き込みサイクルを実行します。以降、最後のモジュールまでこの動作を繰り返す、最後のモジュールが書き込みを終えると VMEbus のデータ転送応答である DTACK ラインをドライブします。VMEbus マスタ・モジュールは DTACK を受けて、初めてこの書き込みバスサイクルを終了することになります。

以上のことから、MCST アドレッシングには次の 2 つの点で注意が必要です。

- (1) MCST アドレッシングは全てのモジュールが同一タイミングで書き込みを行うわけではないこと。
- (2) MCST チェーンを構成するモジュールの中間に空きスロットがあってはならないこと。但し Auto Daisy Chain 対応のバックプレーンであればこの限りではありません。

6.4 VME Interrupt

A3200 が VMEbus へ割り込みを発生する要因としては、リストデータバッファへのデータ書き込み状況に拠る 2通りがあります。

■リストデータサイズによる割り込み

リストデータバッファに書き込まれたデータサイズが List Data Size Preset Reg.の設定値をオーバーしたら割り込みを発生します。

測定が一時中断されることなく継続して行えるようにするには書き込みデータでリストデータバッファが一杯になる前に、リストデータバッファのデータを適当な頻度で常に読み出してやる必要があります。通常では List Data Size Preset Reg.にリストデータバッファサイズの約半分の値を設定して割り込みを待ちます。そうすると VMEbus マスタが割り込み発生を受けてリストデータバッファの読み出しを行っている間にも、残り半分の空き領域に新たな測定データを書き込むことが出来ます。しかしながらこれはあくまでも全 Ch 入力信号により生ずる書き込みデータ量のレートと VMEbus マスタによる読み出し転送レートが接近している場合であり、両者のバランスが大きく異なる場合には List Data Size Preset Reg.に設定する値もそれに応じて検討しなおす必要があります。

■イベントカウント数による割り込み

イベントカウント数が Event!Count Preset Reg.の設定値をオーバーしたら割り込みを発生します。

この割り込みはイベントカウントがカウントアップする Triggered List の場合だけに有効です。また Event!Count Preset Reg.の設定値と比較されるイベントカウント数とはイベントカウント値そのものの絶対値ではなく、割り込み発生から次の割り込み発生時までのイベントカウントの差分の数となります。

COM_G/TIN 入力パルス 1 個による 1 イベント当りのリストデータバッファ書き込みデータサイズは、そのときに信号入力のあった Ch 数に依存するので一概に断定出来ませんが、最大値は 16ch 全てに入ってきた場合の Triggered List で 48×32 bits のデータサイズとなります。

希望する割り込み発生時の割込みレベルは IRQ Control Reg.に、また割込み応答サイクル時に VMEbus マスタによって読み出される割込み Status/ID は IRQ Vector Reg.に初期設定しておきます。

A3200 からの割込み信号は当モジュールへの割込み応答サイクル実行時点で解除されます。

7. Memory

256k×32bits のメモリは Ch0~Ch16 までの PHA メモリに 128k×32bits、リストデータバッファに 127k×32bits、レジスタ領域に 1k×32bits が割り当てられています。

各 PHA メモリのデータサイズは 8kch×32bits で、内部のデータ構造は下図の通りです。

リストデータバッファについては「8. List Data Buffer」、レジスタについては「9. Register Map」を参照。

	D31	D24 D23	D16 D15	D8 D7	D0
BA+0x00000 ch0 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x08000 ch1 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x10000 ch2 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x18000 ch3 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x20000 ch4 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x28000 ch5 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x30000 ch6 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x38000 ch7 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x40000 ch8 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x48000 ch9 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x50000 ch10 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x58000 ch11 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x60000 ch12 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x68000 ch13 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x70000 ch14 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x78000 ch15 PHA	Ch0[HH] : Ch8191[HH]	CH0[HL] : CH8191[HL]	Ch0[LH] : Ch8191[LH]	Ch0[LL] : Ch8191[LL]	
BA+0x80000	List Data Buffer(127k x 32bits)				
BA+0xFEFFC BA+0xFF000	Register(1k x 32bits)				
BA+0xFFFFC					

(BA: Base Address)

8. List Data Buffer

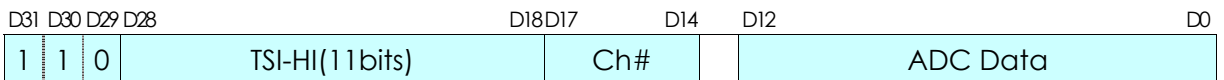
リストデータはロングワード(32bits)単位でリストデータバッファに書き込まれ、その内容は各動作モードにより変化するため、各データの上位 3bits にはそのデータがどのような内容のものであるかを表す DID(Data Identification)ビットが定義されています。

DID!No.	D31	D30	D29	Description
0	0	0	0	(Reserved)
1	0	0	1	(Reserved)
2	0	1	0	(Reserved)
3	0	1	1	イベントカウンタデータ
4	1	0	0	(Reserved)
5	1	0	1	(Reserved)
6	1	1	0	タイムスタンプ(Hi) + ADC データ
7	1	1	1	タイムスタンプ(Lo)データ

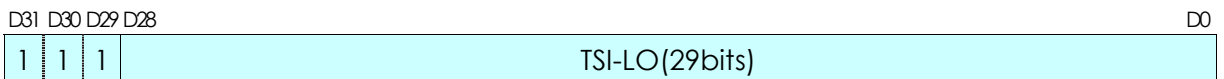
以降、各リスト動作モードにおけるデータ構造を説明します。

8.1 FREE RUN LIST

1入力信号あたり次の2つのロングワードデータで構成されます。



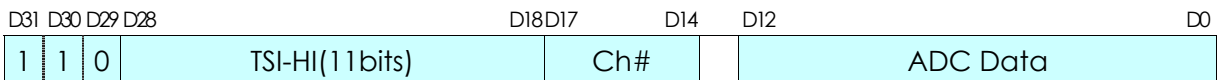
- ・ Ch#: 入力のあったチャンネル番号(0 - 0xF)
- ・ TSI-HI: Time Stamp Information(Higher 11bits)



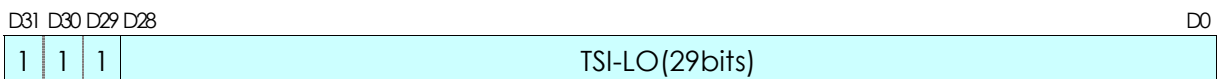
- ・ TSI-LO: Time Stamp Information(Lower 29bits)

8.2 TRIGGERED LIST

1入力信号あたり次の3つのロングワードデータで構成されます。



- ・ Ch#: 入力のあったチャンネル番号(0 - 0xF)
- ・ TSI-HI: Time Stamp Information(Higher 11bits)



- ・ TSI-LO: Time Stamp Information(Lower 29bits)



8.3 リストデータバッファのデータリード

リストデータバッファはリングバッファとして機能するように構成されており、WrPtr(書き込みポインタ)、RdPtr(読み出しポインタ)の2つのポインタと EmpFlg(EMPTY・フラグ)、FullFlg(FULL・フラグ)の2つのフラグによって管理され、それらはハードウェアにより自動的に更新されます。

リストデータバッファに書き込まれるデータはロングワード・サイズが一つの単位となっているため、WrPtr と RdPtr はリストデータバッファ開始アドレスからのオフセットをロングワード数で表し、0～0x1FBFF(0～127k-1)までの範囲の値を持ちます。

WrPtr は A3200 がバッファにデータを書き込んだとき、RdPtr は VMEbus マスタ・モジュールがバッファからデータを読み出したとき自動的に更新され、これら2つのポインタの変化に応じて FullFlg と EmpFlg の内容もハードウェアによりリアルタイムに更新されます。

従って、VMEbus マスタ・モジュールがリストデータバッファをリードする際は RdPtr の示すバッファの開始アドレスから、WrPtr と RdPtr の差に等しいロングワード数のデータを読み出します。この時に注意しなければならないことは「リングバッファなので WrPtr と RdPtr の大小関係が逆転するときがある」という1点だけです。

9 . Register Map

メモリの BA + 0xFF000~ 0xFFFFFC に割り当てられている各レジスタの詳細について説明します。

9.1 Register Address Map

Offset Address	Register Content	Access
0xFF000~0xFF03C	CDR(Channel Dependence Registers) for Ch0 (see 9.2)	(see 9.2)
0xFF040~0xFF07C	CDR(Channel Dependence Registers) for Ch1 (see 9.2)	(see 9.2)
0xFF080~0xFF0BC	CDR(Channel Dependence Registers) for Ch2 (see 9.2)	(see 9.2)
0xFF0C0~0xFF0FC	CDR(Channel Dependence Registers) for Ch3 (see 9.2)	(see 9.2)
0xFF100~0xFF13C	CDR(Channel Dependence Registers) for Ch4 (see 9.2)	(see 9.2)
0xFF140~0xFF17C	CDR(Channel Dependence Registers) for Ch5 (see 9.2)	(see 9.2)
0xFF180~0xFF1BC	CDR(Channel Dependence Registers) for Ch6 (see 9.2)	(see 9.2)
0xFF1C0~0xFF1FC	CDR(Channel Dependence Registers) for Ch7 (see 9.2)	(see 9.2)
0xFF200~0xFF23C	CDR(Channel Dependence Registers) for Ch8 (see 9.2)	(see 9.2)
0xFF240~0xFF27C	CDR(Channel Dependence Registers) for Ch9 (see 9.2)	(see 9.2)
0xFF280~0xFF2BC	CDR(Channel Dependence Registers) for Ch10 (see 9.2)	(see 9.2)
0xFF2C0~0xFF2FC	CDR(Channel Dependence Registers) for Ch11 (see 9.2)	(see 9.2)
0xFF300~0xFF33C	CDR(Channel Dependence Registers) for Ch12 (see 9.2)	(see 9.2)
0xFF340~0xFF37C	CDR(Channel Dependence Registers) for Ch13 (see 9.2)	(see 9.2)
0xFF380~0xFF3BC	CDR(Channel Dependence Registers) for Ch14 (see 9.2)	(see 9.2)
0xFF3C0~0xFF3FC	CDR(Channel Dependence Registers) for Ch15 (see 9.2)	(see 9.2)
0xFF400	IRQVR (IRQ Vector Register)	Read/Write
0xFF404	IRQCR (IRQ Level Register)	Read/Write
0xFF408	MCSTAR (Multicast Address Register)	Read/Write
0xFF40C	MCSTCR (Multicast Control Register)	Read/Write
0xFF410	LBWPR (List Buffer Write Pointer Register)	Read only
0xFF414	LBRPR (List Buffer Read Pointer Register)	Read only
0xFF418	LBEFR (List Buffer Empty Flag Register)	Read only
0xFF41C	LBFFR (List Buffer Full Flag Register)	Read only
0xFF420	AMR (Acquire Mode Register)	Read/Write
0xFF424	ECPVR (Event Count Preset Value Register)	Read/Write
0xFF428	LDSPVR (List Data Size Preset Value Register)	Read/Write
0xFF42C~0xFF43C	(Reserved)	-
0xFF440	ACR (Acquire Control Register)	Read/Write
0xFF444	MCSR (Module Control Status Register)	Read/Write
0xFF448~0xFFFFE8	(Reserved)	-
0xFFFFEC	FPGA VR (FPGA Version Register)	Read only
0xFFFFF0	LCPUVR (Local CPU Version Register)	Read only
0xFFFFF4	MIR (Module Identification Register)	Read only
0xFFFFF8~0xFFFFFC	(Reserved)	-

9.2 CDR(Channel Dependence Registers) Address Map

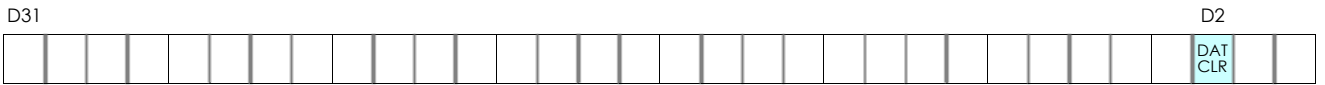
以下のレジスタは全く同じ内容のものが各 Ch に設けられています。

Offset Address	Register Content	Access
0xFF000+0x40*n	CCR (Channel Control Register)	Read/Write
0xFF004+0x40*n	CZLR (Channel Zero Level Register)	Read/Write
0xFF008+0x40*n	CLLDR (Channel Lower Level Discriminator Register)	Read/Write
0xFF00C+0x40*n	(Reserved)	-
0xFF010+0x40*n	CRTR (Channel Real Time Register)	Read only
0xFF014+0x40*n	CLTR (Channel Live Time Register)	Read only
0xFF018+0x40*n	(Reserved)	-
0xFF01C+0x40*n	(Reserved)	-
0xFF020+0x40*n	CCGR (Channel Conversion Gain Register)	Read/Write
0xFF024+0x40*n	CPMR (Channel Preset Mode Register)	Read/Write
0xFF028+0x40*n	CPVR (Channel Preset Value Register)	Read/Write
0xFF02C+0x40*n	SPROICR (Start of Preset ROI Channel Register)	Read/Write
0xFF030+0x40*n	NPROICR (Number of Preset ROI Channel Register)	Read/Write
0xFF034+0x40*n	(Reserved)	
0xFF038+0x40*n	(Reserved)	
0xFF03C+0x40*n	(Reserved)	

(n = Ch# : 0~15)

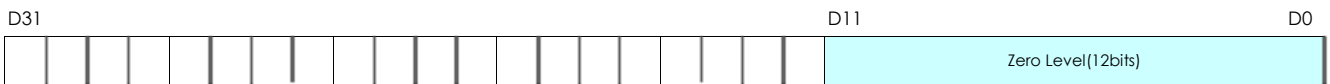
10. 各レジスタの詳細

10.1 CCR(Channel Control Register) : BA + 0xFF000 + 0x40 * n(n=Ch#0~15)



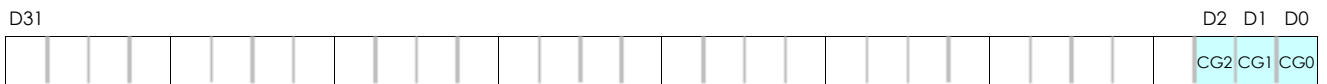
ビット	名称	初期値	R/W	説明
2	DAT CLR	0	R/W	Data Clear このビットを1にセットすると、該当するチャンネルのPHAデータメモリおよびリアルタイム(CRTR)、ライブタイム(CLTR)をゼロクリアします。 クリアが完了すると A3200 はこのビットも0にしてクリアが完了したことを知らせます。

10.2 CZLR(Channel Zero Level Register) : BA + 0xFF004 + 0x40 * n(n=Ch#0~15)



ビット	名称	初期値	R/W	説明																
0 - 11	ZL0 - ZL11	0x800	R/W	Zero Level 0 - 11 フルスケールの±5%の範囲でゼロ調整を設定します。 <table border="0" style="margin-left: 20px;"> <tr> <td style="text-align: center;"><u>設定値</u></td> <td style="text-align: center;"><u>ゼロレベル</u></td> </tr> <tr> <td>0xFFF(4095) :</td> <td>+4.997558594%</td> </tr> <tr> <td style="text-align: center;">:</td> <td></td> </tr> <tr> <td>0x801(2049) :</td> <td>+0.002441406%</td> </tr> <tr> <td>0x800(2048) :</td> <td>0%</td> </tr> <tr> <td>0x7FF(2047) :</td> <td>-0.002441406%</td> </tr> <tr> <td style="text-align: center;">:</td> <td></td> </tr> <tr> <td>0x000(0) :</td> <td>-5.000000000%</td> </tr> </table>	<u>設定値</u>	<u>ゼロレベル</u>	0xFFF(4095) :	+4.997558594%	:		0x801(2049) :	+0.002441406%	0x800(2048) :	0%	0x7FF(2047) :	-0.002441406%	:		0x000(0) :	-5.000000000%
<u>設定値</u>	<u>ゼロレベル</u>																			
0xFFF(4095) :	+4.997558594%																			
:																				
0x801(2049) :	+0.002441406%																			
0x800(2048) :	0%																			
0x7FF(2047) :	-0.002441406%																			
:																				
0x000(0) :	-5.000000000%																			

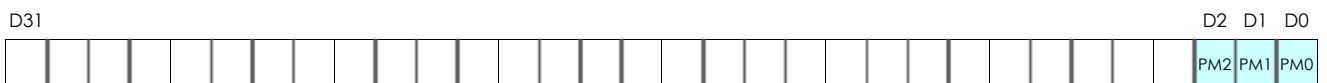
10.6 CCGR(Channel Conversion Gain Register) : BA + 0xFF020 + 0x40 * n(n=Ch#0~15)



ビット	名称	初期値	R/W	説明																																				
0	CG0	0	R/W	Conversion Gain 2, 1, 0																																				
1	CG1	0	R/W	ADC の変換ゲインを設定します。																																				
2	CG2	0	R/W	<table border="1"> <thead> <tr> <th><u>CG2</u></th> <th><u>CG1</u></th> <th><u>CG0</u></th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>: 8192</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: 4096</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: 2048</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>: 1024</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: 512</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>: 256</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>: (無効)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>: (無効)</td> </tr> </tbody> </table>	<u>CG2</u>	<u>CG1</u>	<u>CG0</u>		0	0	0	: 8192	0	0	1	: 4096	0	1	0	: 2048	0	1	1	: 1024	1	0	0	: 512	1	0	1	: 256	1	1	0	: (無効)	1	1	1	: (無効)
<u>CG2</u>	<u>CG1</u>	<u>CG0</u>																																						
0	0	0	: 8192																																					
0	0	1	: 4096																																					
0	1	0	: 2048																																					
0	1	1	: 1024																																					
1	0	0	: 512																																					
1	0	1	: 256																																					
1	1	0	: (無効)																																					
1	1	1	: (無効)																																					

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

10.7 CPMR(Channel Preset Mode Register) : BA + 0xFF024 + 0x40 * n(n=Ch#0~15)



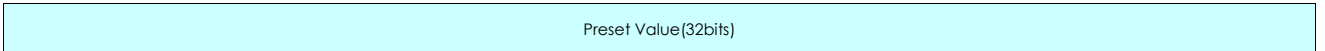
ビット	名称	初期値	R/W	説明																																				
0	PM0	0	R/W	Preset Mode 2, 1, 0																																				
1	PM1	0	R/W	PHA 動作時のプリセットモードを設定します。																																				
2	PM2	0	R/W	<table border="1"> <thead> <tr> <th><u>PM2</u></th> <th><u>PM1</u></th> <th><u>PM0</u></th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>: OFF</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>: RT(Real Time) Preset</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>: LT(Live Time) Preset</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>: PC(Peak Counts) Preset</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>: IC(Integral Counts) Preset</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>: (無効)</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>: (無効)</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>: (無効)</td> </tr> </tbody> </table>	<u>PM2</u>	<u>PM1</u>	<u>PM0</u>		0	0	0	: OFF	0	0	1	: RT(Real Time) Preset	0	1	0	: LT(Live Time) Preset	0	1	1	: PC(Peak Counts) Preset	1	0	0	: IC(Integral Counts) Preset	1	0	1	: (無効)	1	1	0	: (無効)	1	1	1	: (無効)
<u>PM2</u>	<u>PM1</u>	<u>PM0</u>																																						
0	0	0	: OFF																																					
0	0	1	: RT(Real Time) Preset																																					
0	1	0	: LT(Live Time) Preset																																					
0	1	1	: PC(Peak Counts) Preset																																					
1	0	0	: IC(Integral Counts) Preset																																					
1	0	1	: (無効)																																					
1	1	0	: (無効)																																					
1	1	1	: (無効)																																					

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

10.8 CPVR(Channel Preset Value Register) : BA + 0xFF028 + 0x40 * n(n=Ch#0~15)

D31

D0



ビット	名称	初期値	R/W	説明
0 - 31	PV0 - PV31	100	R/W	Preset Value 0 - 31 プリセットの値を設定します。 <u>Preset Mode</u> <u>設定できるプリセット値の範囲</u> RT : 100 - 4294967295(1.00 - 42949672.95sec) LT : 100 - 4294967295(1.00 - 42949672.95sec) PC : 1 - 4294967295Counts(2 ³² -1) IC : 1 - 4294967295Counts(2 ³² -1)

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

10.9 SPROICR(Start of Preset ROI Channel Register) : BA + 0xFF02C + 0x40 * n(n=Ch#0~15)

D31

D12

D0



ビット	名称	初期値	R/W	説明
0 - 12	SOC0 - SOC12	0	R/W	Start of Channel 0 - 12 プリセットモードがPCまたはICの場合にプリセットの対象となる ROI 領域の開始チャンネルを設定する。 設定できる値の範囲は 0 ~ (Conversion Gain - 1)

測定中の設定変更を禁止します（仮に変更したとしても無視されます）

10.10 NPROICR(Number of Preset ROI Channel Register) : BA + 0xFF030 + 0x40 * n(n=Ch#0~15)

D31

D12

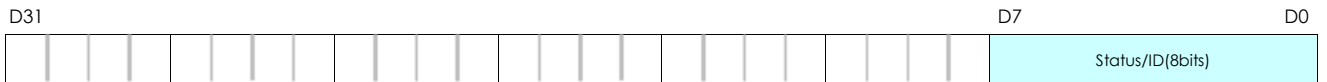
D0



ビット	名称	初期値	R/W	説明
0 - 12	NOC0 - NOC12	0	R/W	Number of Channel 0 - 12 プリセットモードがPCまたはICの場合にプリセットの対象となる ROI 領域のチャンネル数を設定する。 設定できる値の範囲は 1 ~ (Conversion Gain - SPROICR 設定値)

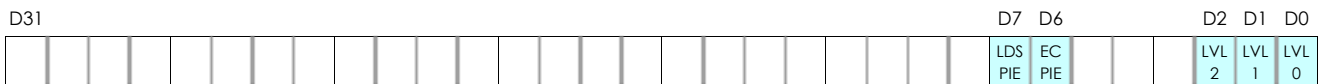
測定中の設定変更を禁止します（仮に変更したとしても無視されます）

10.11 IRQVR(IRQ Vector Register) : BA + 0xFF400



ビット	名称	初期値	R/W	説明
0 - 7	S/ID0 - S/ID7	0	R/W	Status/ID 0 - 7 割込み応答サイクル時に VME データバスに送出するベクタ・アドレスを設定する。

10.12 IRQCR(IRQ Control Register) : BA + 0xFF404



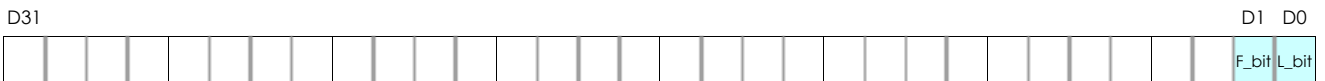
ビット	名称	初期値	R/W	説明																																				
0	LVL0	0	R/W	IRQ Level 2, 1, 0																																				
1	LVL1	0	R/W	割込み発生時の割込み要求レベルを設定します。																																				
2	LVL2	0	R/W	<table border="0"> <tr> <td><u>LVL2</u></td> <td><u>LVL1</u></td> <td><u>LVL0</u></td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>0:</td> <td>IRQ OFF</td> </tr> <tr> <td>0</td> <td>0</td> <td>1:</td> <td>IRQ1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0:</td> <td>IRQ2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1:</td> <td>IRQ3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0:</td> <td>IRQ4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1:</td> <td>IRQ5</td> </tr> <tr> <td>1</td> <td>1</td> <td>0:</td> <td>IRQ6</td> </tr> <tr> <td>1</td> <td>1</td> <td>1:</td> <td>IRQ7</td> </tr> </table>	<u>LVL2</u>	<u>LVL1</u>	<u>LVL0</u>		0	0	0:	IRQ OFF	0	0	1:	IRQ1	0	1	0:	IRQ2	0	1	1:	IRQ3	1	0	0:	IRQ4	1	0	1:	IRQ5	1	1	0:	IRQ6	1	1	1:	IRQ7
<u>LVL2</u>	<u>LVL1</u>	<u>LVL0</u>																																						
0	0	0:	IRQ OFF																																					
0	0	1:	IRQ1																																					
0	1	0:	IRQ2																																					
0	1	1:	IRQ3																																					
1	0	0:	IRQ4																																					
1	0	1:	IRQ5																																					
1	1	0:	IRQ6																																					
1	1	1:	IRQ7																																					
6	ECPIE	0	R/W	Event Counts Preset IRQ Enable 0: イベントカウント・プリセットによる割込みを禁止 1: イベントカウント・プリセットによる割込みを許可																																				
7	LDSPIE	0	R/W	List Data Size Preset IRQ Enable 0: リストデータサイズ・プリセットによる割込みを禁止 1: リストデータサイズ・プリセットによる割込みを許可																																				

10.13 MCSTAR(Multicast Address Register) : BA + 0xFF408



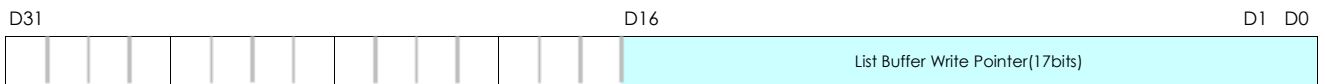
ビット	名称	初期値	R/W	説明
0 - 7	MA0 - MA7	0xEE	R/W	Multicast Address 0 - 7 MCST アドレッシング空間を定める A32 アドレス指定モードの上位 8bits に該当する値を設定する。

10.14 MCSTCR(Multicast Control Register) : BA + 0xFF40C



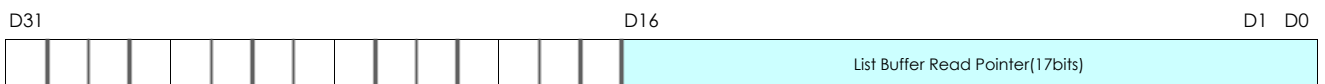
ビット	名称	初期値	R/W	説明															
0	L_bit	0	R/W	Last bit, F_bit															
1	F_bit	0	R/W	MCST コマンドに対して応答するモジュールのチェーンを設定する。 <table border="0" style="margin-left: 20px;"> <tr> <td><u>F_bit</u></td> <td><u>L_bit</u></td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>最初または最後以外のモジュール(Inactive)</td> </tr> <tr> <td>0</td> <td>1</td> <td>最後のモジュール(Active)</td> </tr> <tr> <td>1</td> <td>0</td> <td>最初のモジュール(Active)</td> </tr> <tr> <td>1</td> <td>1</td> <td>最初と最後に挟まれた中間に位置するモジュール(Active)</td> </tr> </table>	<u>F_bit</u>	<u>L_bit</u>		0	0	最初または最後以外のモジュール(Inactive)	0	1	最後のモジュール(Active)	1	0	最初のモジュール(Active)	1	1	最初と最後に挟まれた中間に位置するモジュール(Active)
<u>F_bit</u>	<u>L_bit</u>																		
0	0	最初または最後以外のモジュール(Inactive)																	
0	1	最後のモジュール(Active)																	
1	0	最初のモジュール(Active)																	
1	1	最初と最後に挟まれた中間に位置するモジュール(Active)																	

10.15 LBWPR(List Buffer Write Pointer Register) : BA + 0xFF410



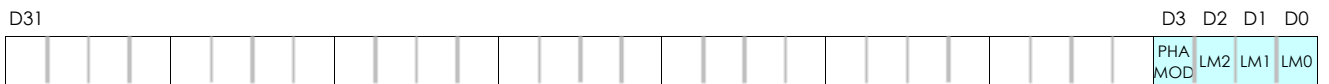
ビット	名称	初期値	R/W	説明
0 - 16	WRPTR0 – WRPTR16	0	R	Write pointer 0 - 16 リストデータバッファへのデータ書き込み先を表すポインタで、値の範囲は0 ~!0x1FBFF。 この内容は A3200 がバッファにデータを書き込むとき、ハードウェアにより自動的にインクリメントされる。 リストデータバッファをクリアするとこの内容も自動的にゼロクリアされる。

10.16 LBRPR(List Buffer Read Pointer Register) : BA + 0xFF414



ビット	名称	初期値	R/W	説明
0 - 16	RDPTRO – RDPTR16	0	R	Read pointer 0 - 16 リストデータバッファからデータを読み出すべき場所を表すポインタで、値の範囲は0 ~!0x1FBFF。 この内容は VME マスタがバッファからデータを読み出すとき、ハードウェアにより自動的にインクリメントされる。 リストデータバッファをクリアするとこの内容も自動的にゼロクリアされる。

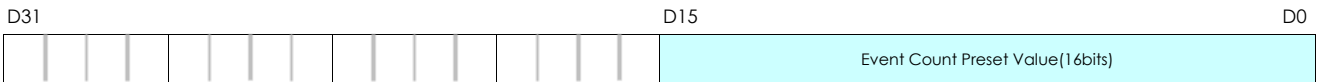
10.19 AMR(Acquire Mode Register) : BA + 0xFF420



ビット	名称	初期値	R/W	説明
0	LM0	0	R/W	3bits で LIST 動作モードを設定します。
1	LM1	0	R/W	<u>LM2</u> <u>LM1</u> <u>LM0</u>
2	LM2	0	R/W	0 0 0: LIST OFF 0 0 1: (Reserved) 0 1 0: (Reserved) 0 1 1: (Reserved) 1 0 0: (Reserved) 1 0 1: FREE RUN LIST 1 1 0: (Reserved) 1 1 1: TRIGGERED LIST
3	PHAMOD	1	R/W	PHA モードの ON/OFF を設定します。 0: PHA OFF 1: PHA ON

測定中の設定変更を禁止します (仮に変更したとしても無視されます)

10.20 ECPVR(Event Count Preset Value Register) : BA + 0xFF424



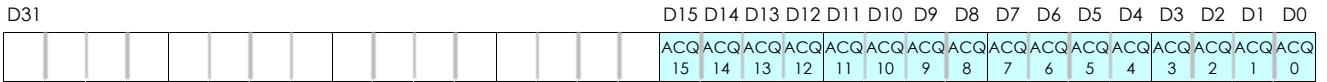
ビット	名称	初期値	R/W	説明
0 - 15	ECPV0 – ECPV15	0	R/W	Event Count Preset Value 0 – 15 0 : OFF 1 ~!0xFE00 : 設定可能なイベントカウント数 TRIGGERED LIST 動作モードにおいて、測定開始または前回このプリセットに達した時点からのイベントカウント数がこのレジスタ設定値を超えたら、MCSR レジスタの ECOF ビットを 1 にセットしてプリセットの達成を知らせます。もし割り込み許可を表す IRQCR レジスタの ECPVIE ビットが 1 にセットされていたら、同時に VMEbus に割り込みを発生します。 詳細は「6.4 VME Interrupt」を参照してください。

10.21 LDSPVR(List Data Size Preset Value Register) : BA + 0xFF428



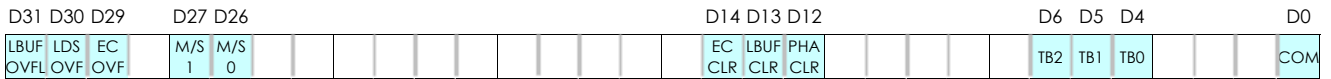
ビット	名称	初期値	R/W	説明
0 - 16	LDSPV0 – LDSPV15	0	R/W	List Data Size Preset Value 0 – 16 0 : OFF 1 ~!0x1FBFF : 設定可能なデータサイズ(ロングワード単位) 全てのリストモード動作時において、測定開始または前回このプリセットに達した時点からのロングワード・データサイズがこのレジスタ設定値を超えたら、MCSR レジスタの LDSOF ビットを 1 にセットしてプリセットの達成を知らせます。もし割り込み許可を表す IRQCR レジスタの LDSPVIE ビットが 1 にセットされていたら、同時に VMEbus に割り込みを発生します。 詳細は「6.4 VME Interrupt」を参照してください。

10.22 ACR(Acquire Control Register) : BA + 0xFF440



ビット	名称	初期値	R/W	説明
0	ACQ0	0	R/W	Acquire 0 - 15
1	ACQ1	0	R/W	各 Ch の測定スタート/ストップを指令すると共に、測定状態のステータスも表します (ACQ0 - 15 はそれぞれ Ch0 - 15 に対応しています)。 ■書き込み時は 0: 測定の停止を指令する。 1: 測定の開始を指令する。 ■読み出し時は 0: 停止している。 1: 測定中である。 PHA モードでプリセットを設定して測定している場合は、プリセットに達すると A3200 が勝手に測定を停止し、対応する Ch の ACQn ビットを 0 にします。従ってこのレジスタを読むことで全 Ch の測定状態をモニタすることが出来ます。 ACQn のビットを 1 にセットした直後に読み戻してみたらそのビットが 0 であるような場合は、すでにプリセットに達して停止しており、測定を再開できない状態にあることを表します。
2	ACQ2	0	R/W	
3	ACQ3	0	R/W	
4	ACQ4	0	R/W	
5	ACQ5	0	R/W	
6	ACQ6	0	R/W	
7	ACQ7	0	R/W	
8	ACQ8	0	R/W	
9	ACQ9	0	R/W	
10	ACQ10	0	R/W	
11	ACQ11	0	R/W	
12	ACQ12	0	R/W	
13	ACQ13	0	R/W	
14	ACQ14	0	R/W	
15	ACQ15	0	R/W	

10.23 MCSR(Module Control Status Register) : BA + 0xFF444



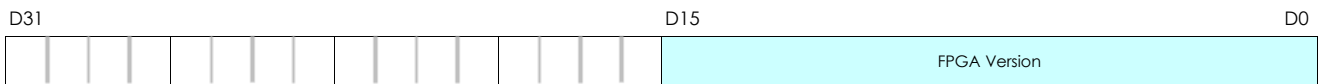
ビット	名称	初期値	R/W	説明																																				
0	COM	0	R/W	COMMon Gate Triggered List モード以外での COM_G/T 入力の全 Ch 共通 Gate 機能の禁止/許可を設定します。 Triggered List モードの場合は Trigger 信号の入力となるため、この設定は無視されます。 0 : Disable 1 : Enable																																				
4	TB0	0	R/W	Time Base 0-2 TLI,TSI クロックのタイムベースを設定します。 <table border="1"> <thead> <tr> <th><u>TB2</u></th> <th><u>TB1</u></th> <th><u>TB0</u></th> <th></th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>5nsec</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>10nsec</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>20nsec</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>50nsec</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>100nsec</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>200nsec</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>500nsec</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1 μsec</td> </tr> </tbody> </table>	<u>TB2</u>	<u>TB1</u>	<u>TB0</u>		0	0	0	5nsec	0	0	1	10nsec	0	1	0	20nsec	0	1	1	50nsec	1	0	0	100nsec	1	0	1	200nsec	1	1	0	500nsec	1	1	1	1 μsec
<u>TB2</u>	<u>TB1</u>	<u>TB0</u>																																						
0	0	0	5nsec																																					
0	0	1	10nsec																																					
0	1	0	20nsec																																					
0	1	1	50nsec																																					
1	0	0	100nsec																																					
1	0	1	200nsec																																					
1	1	0	500nsec																																					
1	1	1	1 μsec																																					
5	TB1	0	R/W																																					
6	TB2	0	R/W																																					
12	PHA CLR	0	R/W	PHA Memory Clear このビットを 1 にセットすると、全 Ch の PHA データメモリおよび CRTR,CLTR レジスタの内容をゼロクリアします。 クリアが完了すると A3200 はこのビットを 0 にしてクリアが完了したことを知らせます。																																				
13	LBUF CLR	0	R/W	List Buffer Clear このビットを 1 にセットすると、リストデータバッファの内容を全てゼロクリアします。 クリアが完了すると A3200 はこのビットを 0 にしてクリアが完了したことを知らせます。																																				
14	EC CLR	0	R/W	Event Count Clear このビットを 1 にセットすると、イベントカウンタの内容をゼロクリアします。 クリアが完了すると A3200 はこのビットを 0 にしてクリアが完了したことを知らせます。																																				

26	M/S0	(不定)	R	Master/Slave 0、1
27	M/S1	(不定)	R	<p>ATICbus における本モジュールの接続状況を表します。</p> <p><u>M/S1</u> <u>M/S0</u></p> <p>0 0: バス接続の中間に位置するスレーブ</p> <p>0 1: バス接続の最後に位置するスレーブ</p> <p>1 0: マスタ (バス接続の最初に位置する)</p> <p>1 1: スタンドアローン</p>
29	EC!OVF	0	R/W	<p>Event Count Over Flag</p> <p>0: イベントカウントはプリセット値に達していない。</p> <p>1: イベントカウントはプリセット値をオーバーしている。</p> <p>VMEbus マスタはこのビットが1にセットされているのをリードしたら、確認応答の為にこのビットをゼロクリアしなければなりません。</p>
30	LDS!OVF	0	R/W	<p>List Data Size Over Flag</p> <p>0: リストデータサイズはプリセット値に達していない。</p> <p>1: リストデータサイズはプリセット値をオーバーしている。</p> <p>VMEbus マスタはこのビットが1にセットされているのをリードしたら、確認応答の為にこのビットをゼロクリアしなければなりません。</p>
31	LBUF OVFL	0	R/W	<p>List Buffer Overflow</p> <p>0: リストデータバッファはオーバーフローしていない。</p> <p>1: リストデータバッファはオーバーフローしている。</p> <p>VMEbus マスタはこのビットが1にセットされているのをリードしたら、確認応答の為にこのビットをゼロクリアしなければなりません。</p>

Bit0~13 までは測定中の設定変更を禁止します (仮に変更したとしても無視されます)

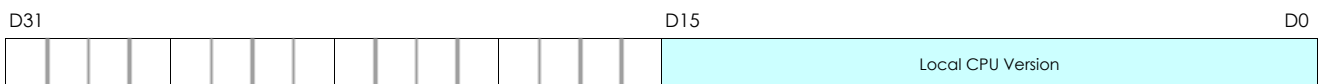
Bit26,27 は常に書き込み禁止です

10.24 FPGAVR(FPGA Version Register) : BA + 0xFFFE C



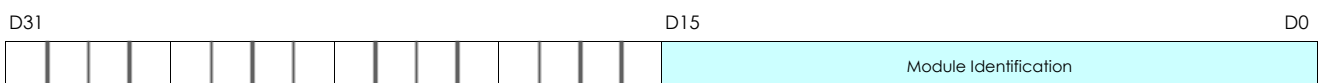
ビット	名称	初期値	R/W	説明
0 - 15	FPGA Version	-	R	A3200 に実装されている FPGA のバージョンを読取ります。バージョンは xx.xx の構成をとり x は 4bit の 16 進数で表されます。(例)V1.23 の場合は 0x0123 のデータをリードします。

10.25 LCPUVR(Local CPU Version Register) : BA + 0xFFFF 0



ビット	名称	初期値	R/W	説明
0 - 15	Local CPU Version	-	R	A3200 に実装されている CPU のバージョンを読取ります。バージョンは xx.xx の構成をとり x は 4bit の 16 進数で表されます。(例)V1.23 の場合は 0x0123 のデータをリードします。

10.26 MIR(Module Identification Register) : BA + 0xFFFF 4



ビット	名称	初期値	R/W	説明
0 - 15	Module ID	-	R	モジュールのモデル番号を読取ります。A3200QDC の場合は 0x3200 のデータが格納されています。

11. 仕様

信号入力チャンネル数	16channel、LEMO
信号入力インピーダンス	50Ω、DC 結合
信号入力コンプライアンス電圧	0 ~ -2.5V
ダイナミックレンジ	0 ~ -2000pC
分解能	13bit(250fC/Count)
コンバージョン・ゲイン	8k/4k/2k/1k/512/256(各 Ch 個別にプログラマブル)
変換時間	≤ 400ns/ch(6.4 μs/all channel)
積分非直線性	≤ ±0.1%(フルスケールの 5%~95%範囲において)
微分非直線性	≤ ±1%(フルスケールの 5%~95%範囲において)
スループット	全体で max 2.5MCPS, 単一 ch 入力の場合は max 1MCPS (動作モードに依存しない)
測定モード	PHA / Free Run List / Triggered List <ul style="list-style-type: none"> ・ PHA といずれかの List モードを同時計測可能 ・ List モードではタイムスタンプ情報を一緒に記録 ・ Triggered List ではイベントカウント情報を一緒に記録
データメモリ	256k x 32bit Dual Port Memory <ul style="list-style-type: none"> ・ PHA モード : 8kch x 32bit x 16ch データメモリ ・ List モード : 127k x 32bit リングバッファ ・ レジスタ : 1k x 32bit
PHA モード プリセット	各 Ch 個別に設定可能 <ul style="list-style-type: none"> ・ Real Time : Off, 1 ~ (2³²-1)/100 sec ・ Live Time : Off, 1 ~ (2³²-1)/100 sec ・ Peak Counts : Off, 1 ~ 2³²-1 ・ Area Counts : Off, 1 ~ 2³²-1
List モード プリセット	リストデータサイズまたはイベントカウント数
Real & Live Time	最少計数時間: 10ms
タイムスタンプ	Triggered List の場合は各チャンネル専用ゲート、それ以外のモードでは各チャンネル専用ゲートまたはコモン・ゲートの立下りエッジでラッチ 40bit データ、クロックは 5ns/10ns/20ns/50ns/100ns/200ns/500ns/1 s
イベントカウント	28bit データ、クロックはコモン・ゲート/トリガ入力信号
ゲート入力	各信号入力専用、LEMO、tw : 20ns~1 μs、Fast Neg. NIM、Zin : 50 Ω 遅延時間: Max 30ns
コモン・ゲート/トリガ入力	Triggered List の場合はトリガ信号として機能し、それ以外のモードでは全チャンネル共通のゲート信号(チャンネル専用ゲート信号と OR)となる LEMO、tw : 20ns~1 μs、Fast Neg. NIM、Zin : 50 Ω、遅延時間: Max 30ns
ファースト・クリア入力	全チャンネル共通、LEMO、tw : ≥ 10ns、Fast Neg. NIM、Zin : 50 Ω
ファースト・クリア処理時間	≤ 400ns
VETO 入力	全チャンネル共通、LEMO、tw : ≥ 10ns、Fast Neg. NIM、Zin : 50 Ω
ビジー出力	全チャンネル共通、LEMO、TTL
LED	BUSY : ビジー期間点灯 VME : VME バスからのアクセス時に点灯 DRDY : バッファメモリにデータのある期間点灯
ATIC bus	測定開始/停止とタイムスタンプ制御信号バス 複数モジュール同期計測時に隣り合うモジュール間を接続するバス

VMEbus インターフェース	A24/A32 アドレス指定、D16/D32/BLT データ転送、MCST 対応 6U VME モジュール
Power	+5V/560mA、+12V/530mA、-12V/880mA

12. 使用上の注意

12.1 装着前に VME クレートの確認を！

当 VME モジュールは将来利用のために VME バスコネクタ P2 の A26～A32 と C26～C32 ピンを使用しています。

VME 規格では P2 コネクタの a 列と c 列の各 32 ピンはユーザ定義として開放されているため VME クレートによっては J2 バックプレーン（モジュールの P2 コネクタに対応するバックプレーン側コネクタが J2）の a、c 列に特定アプリケーション用の信号線やアナログ回路用の電源などが接続されている場合があります。

以前から特定用途で使用していた VME クレートに当モジュールを装着する場合は、取付前に必ず J2 バックプレーンの上記ピンに何も接続されていないことを確認してください。もし誤って、既にこれらのピンに何らかの信号、電源が割り当てられている VME クレートに取り付け、電源を投入すると最悪のケースでは当モジュールの破壊につながりますので十分にご注意ください。

12.2 リストデータの書き込み順について！

リストデータの書き込みは AD 変換を終了したものから順に行われます。AD 変換はゲート入力信号の後縁エッジを受けて開始しますので、リストデータの書き込み順はゲート信号後縁エッジの入力順と言い換えることができます。

一方、タイムスタンプはゲート信号の前縁エッジタイミングで取り込みます。もし、2 つのゲート信号の前縁と後縁エッジの前後関係が入れ替わると、タイムスタンプの大きなデータが先に、その次にタイムスタンプの小さいデータが書き込まれることとなります。

このようにゲート信号のタイミングによってはリストデータのタイムスタンプが順不同となって書き込まれてしまう点にご留意ください。